

⑫ 公開特許公報(A) 平3-96018

⑬ Int. Cl.⁵
H 03 M 3/04識別記号 庁内整理番号
6832-5J

⑭ 公開 平成3年(1991)4月22日

審査請求 未請求 請求項の数 5 (全9頁)

⑮ 発明の名称 オーバサンプリング方式デジタル/アナログ変換器及びオーバサ
ンプリング方式アナログ/デジタル変換器

⑯ 特 願 平1-231596
⑰ 出 願 平1(1989)9月8日

⑱ 発 明 者 磯 佳 実 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作
所家電研究所内

⑲ 発 明 者 吉 田 光 恵 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作
所家電研究所内

⑳ 発 明 者 安 部 田 章 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作
所家電研究所内

㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

オーバサンプリング方式デジタル/アナログ
変換器及びオーバサンプリング方式アナログ/デ
ィジタル変換器

2. 特許請求の範囲

1. 入力信号であるデジタル信号を補間すると
共に、フィルタリングして出力するインタポレ
ーションデジタルフィルタ回路と、該ディジ
タルフィルタ回路の出力信号を、その量子化ノ
イズのノイズ分布を変化させて出力するデルタ
シグマ変調回路と、該デルタシグマ変調回路の
出力信号をアナログ信号に変換して出力する局
部ディジタル/アナログ変換器と、から成るオー
バサンプリング方式ディジタル/アナログ変
換器において、

前記デルタシグマ変調回路は、1個の積分器
または連続接続された2個以上の積分器から成
る積分器群と、前記ディジタルフィルタ回路の
出力信号から遅延器の出力信号を減算し、得ら

れた減算信号を前記積分器群に入力する減算器
と、前記積分器群の出力信号を量子化して出力
する量子化器と、該量子化器の出力信号を遅延
して出力する前記遅延器と、前記量子化器から
前記遅延器を介して前記減算器に至る信号経路
中に設けられる可変利得器と、で少なくとも構
成され、前記量子化器の出力信号を前記デルタ
シグマ変調回路の出力信号として出力すると共
に、

前記ディジタルフィルタ回路の入力信号、出
力信号及び前記局部ディジタル/アナログ変換
器の出力信号のうち、いずれかの信号のレベル
を検出し、その検出結果を出力するレベル検出
器を設け、該レベル検出器の出力信号に応じて、
前記可変利得器の利得を変化させることを特徴
とするオーバサンプリング方式ディジタル/ア
ナログ変換器。

2. 請求項1に記載のオーバサンプリング方式デ
ィジタル/アナログ変換器において、或る一定
時間を計測するタイマー装置を設けると共に、

前記レベル検出器は、前記デジタルフィルタ回路の入力信号、出力信号及び前記局部デジタル／アナログ変換器の出力信号のうち、いずれかの信号の、前記タイマー装置の計測した或る一定時間内における最大レベルを検出し、その検出結果を出力することを特徴とするオーバーサンプリング方式デジタル／アナログ変換器。

3. 請求項1または2に記載のオーバーサンプリング方式デジタル／アナログ変換器において、前記局部デジタル／アナログ変換器は、前記レベル検出器の出力信号に応じて、その利得が変化することを特徴とするオーバーサンプリング方式デジタル／アナログ変換器
4. 入力信号であるアナログ信号をデジタル信号に変換すると共に、該デジタル信号を、その量子化ノイズのノイズ分布を変化させて出力するデルタシグマ変調回路と、該デルタシグマ変調回路の出力信号を間引きすると共に、フィルタリングして出力するデシメーションデジタルフィルタ回路と、から成るオーバーサンプリ

ング方式アナログ／デジタル変換器において、前記デルタシグマ変調回路は、1個の積分器または縦続接続された2個以上の積分器から成る積分器群と、入力された前記アナログ信号から内部デジタル／アナログ変換器の出力信号を減算し、得られた減算信号を前記積分器群に

入力する減算器と、前記積分器群の出力信号を量子化して出力する量子化器と、該量子化器の出力信号を遅延して出力する遅延器と、該遅延器の出力信号をアナログ信号に変換して出力する前記内部デジタル／アナログ変換器と、前記量子化器から前記遅延器を介して前記内部デジタル／アナログ変換器に至る信号経路中に設けられる可変利得器と、で少なくとも構成され、前記遅延器または前記可変利得器の出力信号を前記デルタシグマ変調回路の出力信号として出力すると共に、

前記デルタシグマ変調回路の入力信号及び前記デジタルフィルタ回路の出力信号のうち、いずれかの信号のレベルを検出し、その検出結果を出力するレベル検出器を設け、該レベル検出器の出力信号に応じて、前記可変利得器の利得を変化させることを特徴とするオーバーサンプリング方式アナログ／デジタル変換器におけるデルタシグマ変調回路。

5. 請求項4に記載のオーバーサンプリング方式アナログ／デジタル変換器において、或る一定時間を計測するタイマー装置を設けると共に、前記レベル検出器は、前記デルタシグマ変調回路の入力信号及び前記デジタルフィルタ回路の出力信号のうち、いずれかの信号の、前記タイマー装置の計測した或る一定時間内における最大レベルを検出し、その検出結果を出力することを特徴とするオーバーサンプリング方式アナログ／デジタル変換器。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、デジタルオーディオ、通信等の用途に使用されるオーバーサンプリング方式デジタル／アナログ変換器及びオーバーサンプリング方式

アナログ／デジタル変換器に関するものである。
〔従来の技術〕

一般に、オーバーサンプリング方式デジタル／アナログ変換器（以下、単に、D/A変換器と言う）は、インタポレーションデジタルフィルタ回路とデルタシグマ変調回路と局部D/A変換器とで構成され、また、オーバーサンプリング方式アナログ／デジタル変換器（以下、単に、A/D変換器と言う）は、デルタシグマ変調回路とデシメーションデジタルフィルタ回路とで構成される。

このうち、代表して、D/A変換器の動作について簡単に説明すると、まず、インタポレーションデジタルフィルタ回路において、入力されたデジタル信号を補間してサンプリング周波数を上げた（すなわち、オーバーサンプリングした）後、フィルタリングする。次に、デルタシグマ変調回路において、フィルタリングされたデジタル信号の量子化ノイズのノイズ分布を変化させる。次に、局部D/A変換器において、ノイズ分布の変

化したデジタル信号をアナログ信号に変換する。

ここで、デルタシグマ変調回路は、主として、単数または複数の積分器と量子化器と遅延器とから成るフィードバックループにて構成される。

従来、デジタル通信機器等に使用されるA/D変換器においては、積分器の次数が2次（即ち、積分器が2個）のデルタシグマ変調回路が用いられていた。

特開昭62-169528号公報に記載されているように、この種のデルタシグマ変調回路では、高い量子化精度を得ることができるが、内部にある積分器の入力電圧が、その積分器の動作電圧の限界値を上まわることがあり、正確な情報が伝達できない場合が生じる。このため、特に大振幅信号入力でS/N特性が劣化するという問題点があった。

この問題点の改善案として、特開昭62-169528号公報では、4個の増幅器を積分器入力と帰還路とにそれぞれ設けて、各増幅器の利得関係を特定の値に設定する方法が開示されている。この既提案例では、フルスケールに対して-15dB から-10dB

変調回路に入力していた。このため、小振幅信号レベルも含めて、全体のS/N特性がアッテネータの減衰量分だけ劣化するという問題があった。

本発明の目的は、フルスケール信号入力に対するS/N特性劣化を改善し、かつ小振幅信号入力でのS/N特性も劣化させないことにある。

〔課題を解決するための手段〕

上記した目的を達成するために、本発明では、オーバーサンプリング方式D/A変換器の場合、デルタシグマ変調回路を、1個の積分器または縦続接続された2個以上の積分器から成る積分器群と、インタポレーションデジタルフィルタ回路の出力信号から遅延器の出力信号を減算し、得られた減算信号を前記積分器群に入力する減算器と、前記積分器群の出力信号を量子化して出力する量子化器と、該量子化器の出力信号を遅延して出力する前記遅延器と、前記量子化器から前記遅延器を介して前記減算器に至る信号経路（即ち、帰還路）中に設けられる可変利得器と、で少なくとも構成し、前記量子化器の出力信号を前記デルタシグマ

の範囲では約5dBの、-5dB では約20dBのS/N特性の改善が可能であった。

〔発明が解決しようとする課題〕

上記従来技術は、小振幅信号入力でのS/N特性を劣化させることなく、大振幅信号入力でのS/N特性劣化を改善することができたが、フルスケール信号入力に対しては、S/N=50dB程度であり、-15dBでの85dBのS/N特性に対してまだ35dBも劣化している。この劣化が許容される分野では、大きな問題とはならないが、デジタルオーディオ用途では大きな課題となっている。上記従来技術では、この点の配慮がされておらず、フルスケール信号入力に対しては、なおS/N特性が劣化するという問題があった。

このため、デジタルオーディオ用途では、この劣化領域を使用しないように、信号レベルをあらかじめ低減させて入力していた。即ち、A/D変換器ではアナログアッテネータにより、D/A変換器ではデジタルアッテネータ（乗算回路）により、信号レベルを減衰させて、デルタシグマ

変調回路の出力信号として出力すると共に、前記インタポレーションデジタルフィルタ回路の入力信号、出力信号及び局部デジタル/アナログ変換器の出力信号のうち、いずれかの信号のレベルを検出し、その検出結果を出力するレベル検出器を設け、該レベル検出器の出力信号に応じて、前記可変利得器の利得を変化させるようにした。

また、局部D/A変換器として可変利得機能を有する局部D/A変換器を用い、前記レベル検出器の出力信号に応じて、該局部D/A変換器の利得も変化させるようにした。

一方、オーバーサンプリング方式A/D変換器の場合は、デルタシグマ変調回路を、1個の積分器または縦続接続された2個以上の積分器から成る積分器群と、入力されたアナログ信号から内部デジタル/アナログ変換器の出力信号を減算し、得られた減算信号を前記積分器群に入力する減算器と、前記積分器群の出力信号を量子化して出力する量子化器と、該量子化器の出力信号を遅延して出力する遅延器と、該遅延器の出力信号をアナ

ログ信号に変換して出力する前記内部デジタル／アナログ変換器と、前記量子化器から前記遅延器を介して前記内部デジタル／アナログ変換器に至る信号経路（即ち、帰還路）中に設けられる可変利得器と、で少なくとも構成し、前記遅延器または前記可変利得器の出力信号を前記デルタシグマ変調回路の出力信号としてデシメーションディジタルフィルタ回路に出力すると共に、前記デルタシグマ変調回路の入力信号及び前記デシメーションディジタルフィルタ回路の出力信号のうち、いずれかの信号のレベルを検出し、その検出結果を出力するレベル検出器を設け、該レベル検出器の出力信号に応じて、前記可変利得器の利得を変化させるようにした。

また、前記オーバーサンプリング方式D/A変換器及びオーバーサンプリング方式A/D変換器において、前記可変利得器の利得を準瞬時的に変化させるために、或る一定時間を計測するタイマー装置を設けると共に、前記レベル検出器に、前記タイマー装置の計測した一定時間内における前記信

得を変化させる。

また、A/D変換器の場合には前記可変利得器を介した信号を前記デルタシグマ変調回路の出力信号とすることにより、信号のレベル変化を後段のデシメーションディジタルフィルタ回路に伝送することができる。

〔実施例〕

以下、本発明の一実施例を第1図により説明する。

第1図は、本発明の第1の実施例としてのオーバーサンプリング方式D/A変換器を示すブロック図である。

第1図において、1は入力端子、2はインタポレーションディジタルフィルタ回路、3は積分器の次数が2次のデルタシグマ変調回路、4は可変利得機能を有する局部D/A変換器、5は出力端子、6はレベル検出器であり、デルタシグマ変調回路3は、演算器7、10、1次の積分器8、9、可変利得器11、量子化器13、遅延器14より構成されている。

号の最大レベルを検出させ、その検出結果を出力させるようにした。

〔作用〕

帰還路に設けられた前記可変利得器は、レベル検出器の出力信号により、大振幅信号入力時には帰還利得を上げるように動作する。これにより、帰還量が増大し、入力信号から帰還信号を差し引いた積分器群の入力信号は減少するので、各積分器の動作限界を超えることがなく、大振幅信号入力時、特にフルスケール信号入力時でのS/N特性が劣化することがない。

また、可変利得器は、小振幅信号入力時には帰還利得を下げるように動作する。これにより、帰還量が減少し、入力信号から帰還信号を差し引いた積分器群の入力信号の誤差が減少するので、小振幅信号入力時のS/N特性を向上することができる。

また、帰還利得を変化させると、変換信号のレベルが変化するため、D/A変換器の場合は、同時にこれを補正するように局部D/A変換器の利

第2図は本発明の第2の実施例としてのオーバーサンプリング方式A/D変換器を示すブロック図である。

第2図において、1は入力端子、3は積分器の次数が2次のデルタシグマ変調回路、22はデシメーションディジタルフィルタ回路、5は出力端子、6はレベル検出器である。デルタシグマ変調回路3は、第1図に示すものと同様の構成であるが、扱う信号がアナログ信号であるため、量子化器13より出力され遅延器14、可変利得器11を介した信号を、アナログ信号に変換する内部D/A変換器15が挿入されている。

第1図、第2図のデルタシグマ変調回路3の説明を行なう前に、基本的なデルタシグマ変調回路について簡単に説明する。

第3図は積分器の次数が2次の基本的なデルタシグマ変調回路を示すブロック図である。

第3図において、入力信号をX、出力信号をY、量子化器13の量子化ノイズをQとして、1サンプル遅延を Z^{-1} とすると、伝達特性はZ関数を用い

て

$$Y = X + (1 - Z^{-1})^2 \cdot Q \quad \dots\dots (1)$$

と表わすことができる。

また、第4図は積分器の次数が3次の基本的なデルタシグマ変調回路をブロック図である。

3次のデルタシグマ変調回路は、実際には発振するため、このままでは実用化できないが理論上の伝達特性は

$$Y = X + (1 - Z^{-1})^3 \cdot Q \quad \dots\dots (2)$$

となる。ここで、 $Z^{-1} = e^{-j\omega T}$ なので

$$1 - Z^{-1} = 2 \sin \frac{f_s}{f_c} \pi \quad \dots\dots (3)$$

である。

いま、オリジナルのサンプリング周波数を f_s とすると、通過帯域は $f_s/2$ となる。 M 倍のオーバーサンプリングを行なうと、サンプリング周波数は $M \cdot f_s$ で表わされるので

$$1 - Z^{-1} = 2 \sin \frac{f_s}{M f_s} \pi \quad \dots\dots (4)$$

となる。

従って、2次のデルタシグマ変調回路では、量子化ノイズ Q に $(1 - Z^{-1})^2$ が、3次のデルタシグ

1項目と2項目は量子化ビット数の項であり、3項目は M 倍のオーバーサンプリングによる S/N の改善項であり、4項目はノイズシェーピングによる $f_s/2$ の周波数における抑圧項であり、5項目は3角ノイズ近似による帯域内ノイズの改善項である。

ここで、横軸にオーバーサンプリングの次数 M を縦軸に S/N (dB) をとって、(5)式を図示すると第6図に示すようになる。

第6図において、量子化ビット数 N は1である。第6図より128倍オーバーサンプリングにおいて、積分器の次数が2次の場合には16ビット精度は得られないが、3次の場合には得られることがわかる。

ところで、第6図の示す S/N 特性は、小振幅信号入力時における値である。即ち、フルスケール信号に対して-50dBのレベルで50dBの S/N 比が得られた場合を100dBの S/N としており、フルスケールでは一般に100dBの S/N は得られない。

マ変調回路では $(1 - Z^{-1})^3$ が係数としてかかるので、量子化ノイズのスペクトルを図示すると第5図に示すようになる。

第5図から明らかな様に、もとのホワイトノイズに比較して低域では抑圧され、高域では拡大される。この様に、量子化ノイズのノイズ分布を変化させる動作をノイズシェーピングと称している。通過帯域 $f_s/2$ では十分にノイズが抑圧されることがわかる。

次に $f_s/2$ 帯域内の S/N (即ち、ダイナミックレンジ(DR))に相当)を算出する。

まず M 倍にオーバーサンプリングすることにより量子化ノイズは拡散され $f_s/2$ の帯域については雑音電力は $1/M$ になる。そこで、量子化器13のビット数を N 、積分器の次数を I 、とし、 $f_s/2$ 帯域内のノイズを低域になるほど少なくなる3角ノイズと近似すると、 $f_s/2$ 帯域内の S/N は、

$$\begin{aligned} S/N(\text{dB}) = & 20 \log(2^N - 1) + 1.76 + 10 \log M \\ & - 20 \log \left\{ 2 \sin \frac{f_s}{M f_s} \pi \right\}^I + 20 \log \sqrt{3} \quad \dots\dots (5) \end{aligned}$$

となる。

第3図に示した2次のデルタシグマ変調回路の入力レベル対 S/N 特性のシミュレーション結果を第7図に示す。

第7図において、オーバーサンプリングの次数 M は128である。第7図に示す様に、入力レベルが-90dBから-10dB程度までは S/N 特性の劣化がなく、-10dBから-2dBまではやや劣化して S/N 一定となりフルスケールの0dBでは急激に劣化して S/N は50dB程度になっている。この0dBから-2dB間の急激な S/N 劣化を防ぐのが本発明の目的である。

第8図に第1図に示したD/A変換器のデルタシグマ変調回路3のみを示す。

第8図において、11は可変利得器であり、その利得を G とする。図のように入力信号を X 、出力信号を Y とすると、

$$\left\{ (X - GYZ^{-1}) \frac{1}{1 - Z^{-1}} - GYZ^{-1} \right\} \frac{1}{1 - Z^{-1}} + Q = Y \quad \dots (6)$$

これを整理すると

$$Y \{ 1 - 2(1 - G)Z^{-1} + (1 - G)Z^{-2} \} = X + Q(1 - Z^{-1})^2 \quad \dots (7)$$

となる。(7)式の左辺において

$$Z^{-1} = e^{-j\omega T} = e^{-j2\pi \frac{f}{Mf_s} T} \approx 1 \quad \left(\frac{f}{Mf_s} \approx 0 \right) \quad \dots (8)$$

とおくと

$$Y = \frac{1}{G} X + \frac{1}{G} Q (1 - Z^{-1})^2 \quad \dots (9)$$

となり、信号X、量子化ノイズとも利得Gの1/Gになり、S/N特性は第3図に示す回路と同様になることがわかる。

第8図において、G=1.5とした場合の入力レベル対S/N特性を第9図に示す。

第9図から明らかな様に、G=1.5の時は、掃置量が大きくなり、0dBでのS/N劣化は解消される。しかし、入力レベル-50dBでのS/Nは第7図が43dBであるのに対し39.5dBと3.5dB劣化している。

またGをG=0.8とした場合の入力レベル対S/N特性を第10図に示す。

第10図では、入力レベルが-4dBから急激にS/N特性が劣化するが、-50dBでのS/Nは45dBと第7図に比較して2dB向上している。

即ち、Gの値を2倍にすれば小振幅信号入力でのS/Nは6dB劣化し、0.5倍にすると6dB向上す

て切り換えるだけでよい。

第2図の実施例においては、可変利得器11の値をそのまま、デシメーションディジタルフィルタ回路22に伝送するだけでよい。

また、第1図の可変利得機能を有する局部D/A変換器4は、1ビットD/A変換器と可変利得増幅器とで構成してもよいし、1ビットD/A変換器の基準電圧あるいは基準電流を切り換える構成でもよい。

第11図にスイッチドキャパシタ構成の局部D/A変換器4の一具体例を示す。

第11図において、G=1.5のときはA側の回路を動作させ、G=0.8のときはB側の回路を動作させる。

以上の結果、第12図に示す入力レベル対S/N特性が得られ、課題は解決される。

第13図は本発明の第3の実施例としてのオーバーサンプリング方式D/A変換器を示すブロック図、第4図は本発明の第4の実施例としてのオーバーサンプリング方式A/D変換器を示すブロック図で

る。その反面(9)式が示すように信号レベルは1/Gとなる。

以上より、第1図の実施例においては、入力レベルが0dBから-6dBの間はGを1.5として急激なS/N劣化を防ぎ、かつ第1図の局部D/A変換器4の変換利得を1.5倍として、信号レベルをもとのXに変換する。-6dB以下ではGを0.8として小振幅信号入力時のS/N特性を改善すると共に、局部D/A変換器4の利得を0.8倍として信号レベルXをもとの値に変換する。こうすることによって、フルスケール信号入力時のS/N劣化を防ぎ、かつ小振幅信号入力時のS/Nを向上させることができる。小振幅信号ではGの値を更に小さくすれば、更にS/Nは向上させることができる。

可変利得器11の実際のハードウェアは、量子化器13の出力+1，-1に対して、G=1のときは $2^{16}=65536$ の半分の+32768，-32768の値を附与し、G=1.5のときは+49152，-49152の値を、G=0.8のときは+26214，-26214の値をそれぞれ附与すればよいので、予め、この値を用意しておい

あり、第1図、第2図の実施例と異なるのは、一定時間を計測するタイマー装置16を設け、その計測結果をレベル検出器6に入力している点である。レベル検出器6はこの入力により一定時間内の最大レベルを検出し、その一定時間内の最大レベルの値によって可変利得器11の利得を切り換える。この結果、準瞬時的に可変利得器11の利得を切り換えることができる。

また、第15図、第16図の実施例はレベル検出器6の入力を得る場所を変えた実施例であり、第15図の実施例ではインタポレーションディジタルフィルタ回路2の前から入力を得、第16図の実施例ではデルタシグマ変調回路3の前からアナログの入力を得ており、この場合、アナログのレベル検出器6でレベル検出をしている。

また、以上の実施例において、可変利得器11と遅延器14は順序が逆でも同様の結果が得られる。

また、各実施例において用いられる2次のデルタシグマ変調回路3の構成は種々考えられ、第17図、第18図、第19図に示す様な構成にしても、第

8図に示したものと同等の伝達特性になる。また、本発明は2次のデルタシグマ変調回路に限らず、1次でも3次でも同様な効果が得られる。

(発明の効果)

本発明によれば、オーバーサンプリング方式A/D変換器、オーバーサンプリング方式D/A変換器において、大振幅信号入力時、特にフルスケール信号入力時でのS/N特性の劣化を防ぐことができ、しかも、小振幅信号入力時においてもS/N特性を劣化させることがない。従って、フルスケール信号から小振幅信号までS/N特性の良いA/D変換器、D/A変換器を実現できる効果がある。

4. 図面の簡単な説明

第1図は本発明の第1の実施例としてのオーバーサンプリング方式D/A変換器を示すブロック図、第2図は本発明の第2の実施例としてのオーバーサンプリング方式A/D変換器を示すブロック図、第3図は積分回路の次数が2次の基本的なデルタシグマ変調回路を示すブロック図、第4図は積分

例としてのオーバーサンプリング方式A/D変換器を示すブロック図、第5図は本発明の第5の実施例としてのオーバーサンプリング方式D/A変換器を示すブロック図、第6図は本発明の第6の実施例としてのオーバーサンプリング方式A/D変換器を示すブロック図、第7図は本発明において用いられるデルタシグマ変調回路の他の具体例を示すブロック図、第8図は本発明において用いられるデルタシグマ変調回路の別の具体例を示すブロック図、第9図は本発明において用いられるデルタシグマ変調回路の更に別の具体例を示すブロック図、である。

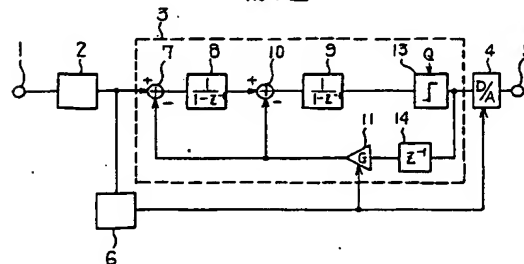
符号の説明

- 2…インタポレーションデジタルフィルタ回路
- 3…デルタシグマ変調回路
- 4…局部D/A変換器
- 6…レベル検出器
- 7, 10…演算器
- 8, 9…積分回路
- 11…可変利得器
- 13…量子化器
- 14…遅延器
- 15…内部D/A変換器
- 22…デシメーションデジタルフィルタ回路

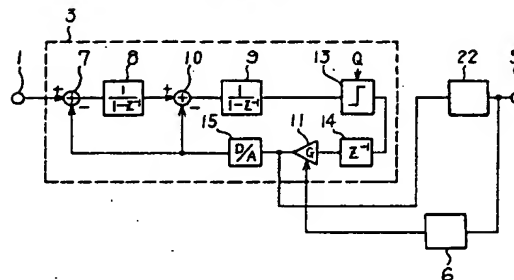
代理人 弁理士 小川 勝 男

回路の次数が3次の基本的なデルタシグマ変調回路を示すブロック図、第5図は本発明に係るデルタシグマ変調回路における周波数と量子化ノイズのレベルとの関係を示す特性図、第6図は本発明に係るデルタシグマ変調回路におけるオーバーサンプリングの次数とS/N特性との関係を示す特性図、第7図は第3図のデルタシグマ変調回路における入力レベルとS/N特性との関係を示す特性図、第8図は第1図のデルタシグマ変調回路を示すブロック図、第9図は第8図のデルタシグマ変調回路における $G=1.5$ とした場合の入力レベルとS/N特性との関係を示す特性図、第10図は第8図のデルタシグマ変調回路における $G=0.8$ とした場合の入力レベルとS/N特性との関係を示す特性図、第11図は第1図の局部D/A変換器の一具体例を示す回路図、第12図は第1図のデルタシグマ変調回路における入力レベルとS/N特性との関係を示す特性図、第13図は本発明の第3の実施例としてのオーバーサンプリング方式D/A変換器を示すブロック図、第14図は本発明の第4の実施

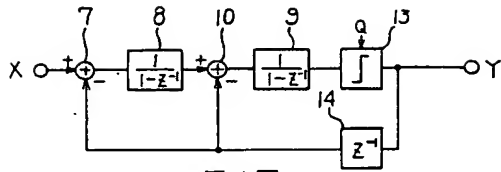
第1図



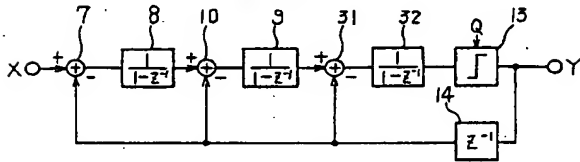
第2図



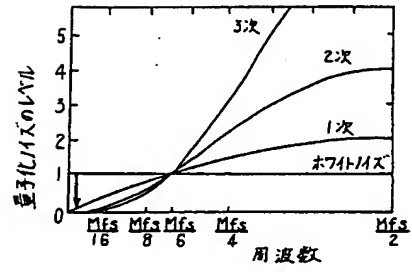
第3図



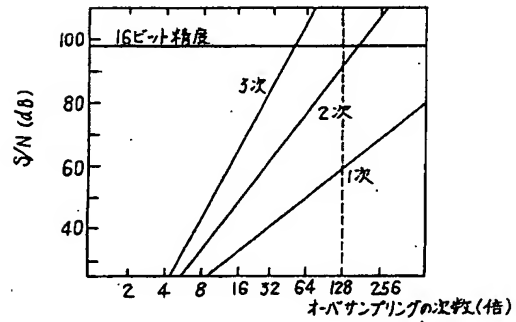
第4図



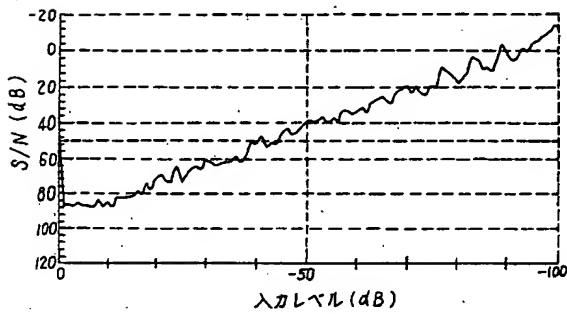
第5図



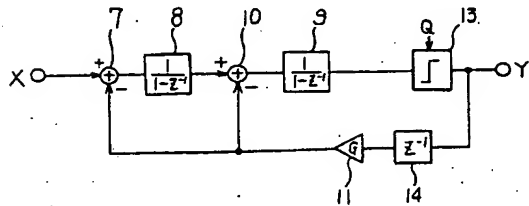
第6図



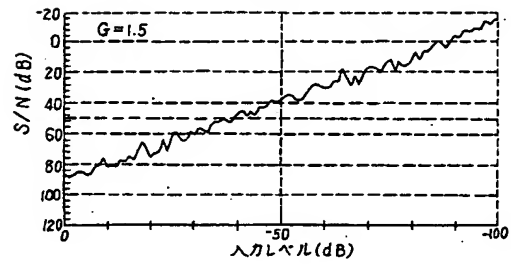
第7図



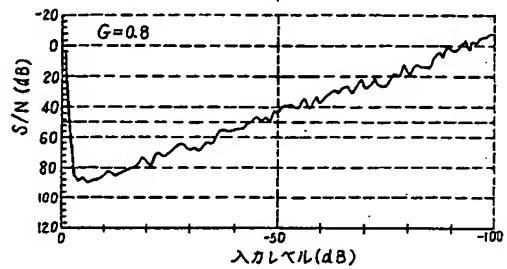
第8図



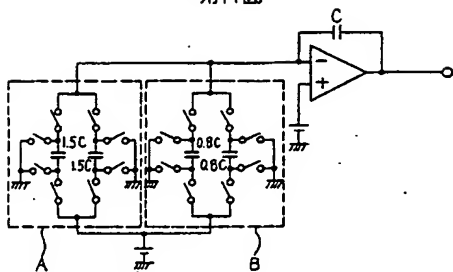
第9図



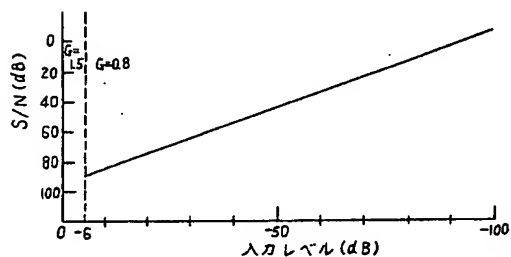
第10図



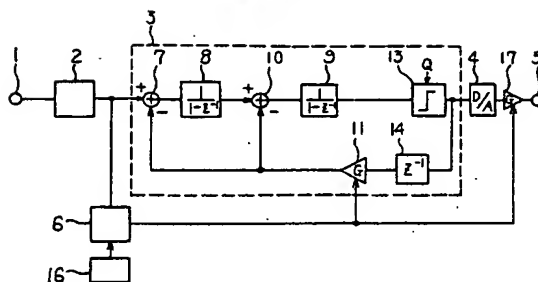
第11図



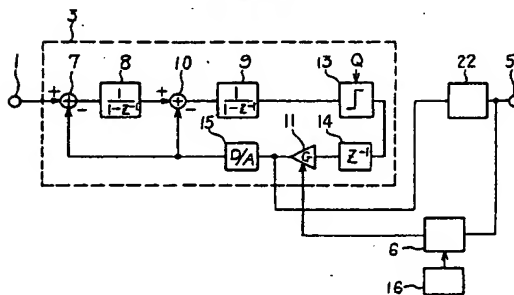
第12図



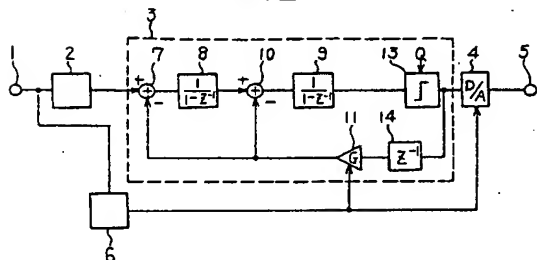
第13図



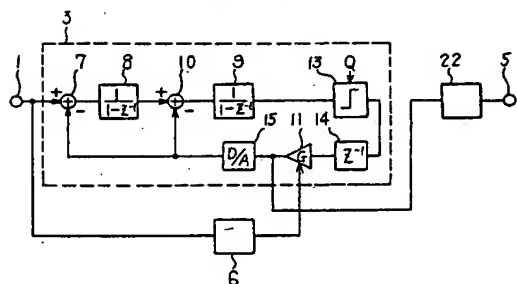
第14図



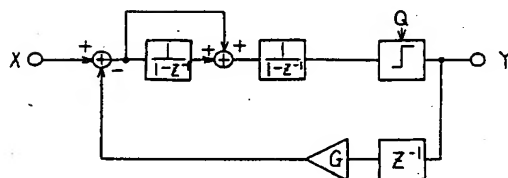
第15図



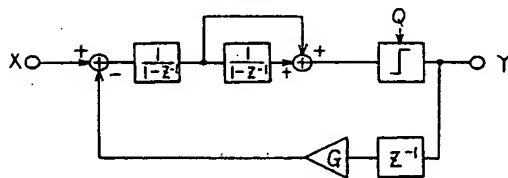
第16図



第17図



第18図



第19図

